

**Family list**

1 family member for:

**JP4056168**

Derived from 1 application.

**1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE**

Publication Info: **JP4056168 A** - 1992-02-24

---

Data supplied from the **esp@cenet** database - Worldwide/

## THIN-FILM TRANSISTOR AND ITS MANUFACTURE

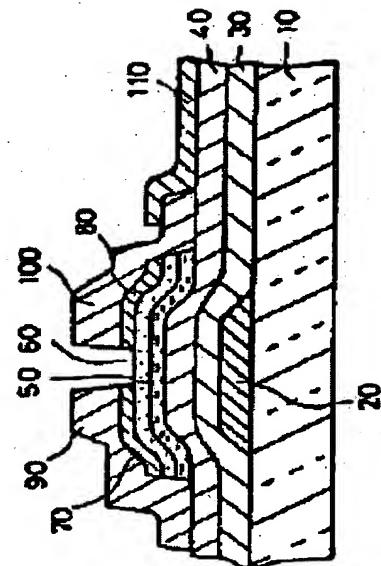
**Patent number:** JP4056168  
**Publication date:** 1992-02-24  
**Inventor:** SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO  
**Applicant:** STANLEY ELECTRIC CO LTD  
**Classification:**  
- international: (IPC1-7): H01L29/784  
- european:  
**Application number:** JP19900163744 19900621  
**Priority number(s):** JP19900163744 19900621

[Report a data error here](#)

### Abstract of JP4056168

**PURPOSE:** To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.

**CONSTITUTION:** A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 50. The film 50 is formed of a silicium nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the [esp@cenet](#) database - Worldwide

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平4-56168

⑬ Int. Cl.  
H 01 L 29/784

識別記号 庁内整理番号  
9056-4M H 01 L 29/78

⑭ 公開 平成4年(1992)2月24日  
311 G

審査請求 有 請求項の数 4 (全4頁)

⑮ 発明の名称 薄膜トランジスタおよびその製造方法

⑯ 特願 平2-163744

⑰ 出願 平2(1990)6月21日

⑱ 発明者 佐野 克幸 神奈川県大和市南林間8-10-5-101  
⑲ 発明者 今城 慎一 神奈川県川崎市麻生区虹ヶ丘2-3-2-702  
⑳ 発明者 郡甲 康夫 神奈川県横浜市緑区荏田南2-17-8-202  
㉑ 出願人 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号  
㉒ 代理人 弁理士 高橋 敬四郎

明細書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、

前記半導体層の上に形成したソース／ドレイン電極層とを有し、

前記ゲート絶縁層は隣接する層が互いに異なる材料で形成された3層の積層を含む薄膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い順に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッチング性に優れる材料で構成される請求

項1記載の薄膜トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明絶縁基板の上に三層の積層構造を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜法で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の所定領域をエッチングする工程と、

前記半導体層の上にソース電極とドレイン電極の層を同時に形成する工程と、  
を含む薄膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による重化シリコン膜で第1層を形成し、スパッタ法による酸化シリコン膜で第2層を形成することを含む請求項4記載の薄膜トランジスタの製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は薄膜トランジスタに係わり、特に液晶ディスプレイ等のアクティブマトリックス表示素子の画素駆動に好適な信頼性と生産性の高い薄膜トランジスタおよびその製造方法に関する。

## 〔従来の技術〕

第2図にアクティブマトリックス素子に利用した従来の薄膜トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、バターニングされ、その上にさらにゲート絶縁膜30、40が2層積層して形成されている。(ゲート絶縁膜は1層のみの場合もある。) ゲート電極20に対向するように絶縁膜40上にチャネルを形成する半導体層60が形成され、その上にコンタクトを形成するための低抵抗率半導体層70、80が所定形状にバターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより薄膜ト

ランジスタの一素子が構成されている。半導体層60、70、80の形成工程におけるエッティング工程は、例えばCF<sub>4</sub>及びO<sub>2</sub>ガスを用いてのドライエッティングで行われる。エッティング条件は、たとえば高周波電力約10~300W、圧力約1~100Paである。さらに、ドレイン電極100の一部と接触し、ゲート絶縁膜40上に延在して画素となる透明電極110が形成される。

## 〔発明が解決しようとする課題〕

第1のゲート絶縁膜30に酸化シリコン膜(SiO<sub>x</sub>)又は、酸化タンタル(TaO<sub>x</sub>)を使用し、第2ゲート絶縁膜40に窒化シリコン(SiNx)を使用した場合、半導体層60、70、80のバターニング工程のエッティング処理において、窒化シリコンのエッティングレートが非常に速い。このため、半導体層がエッティングされた後に続いて急速に第2ゲート絶縁膜40の窒化シリコンもエッティングされる。これにより第2ゲート絶縁膜40のオーバエッティングを引き起こし、ゲート絶

縁膜の厚さが所望の値よりも薄くなり、絶縁低下やソース・ゲート短絡の原因となる。

また、第1のゲート絶縁膜30に窒化シリコン(SiNx)を使用し、第2のゲート絶縁膜40に酸化シリコン膜(SiO<sub>x</sub>)又は、酸化タンタル(TaO<sub>x</sub>)を使用した場合には、半導体層60、70、80のエッティング終点検出がしにくく、半導体層60、70、80がプラズマダメージを受ける。さらに、酸化シリコンや酸化タンタルは窒化シリコンに比べ半導体層との界面単位が不安定である欠点があった。

本発明の目的は、半導体層のエッティング制御がしやすく、絶縁膜の絶縁低下のない、高信頼性の生産性の高い薄膜トランジスタとその製造方法とを提供することである。

## 〔課題を解決するための手段〕

本発明によれば、薄膜トランジスタにおいて、隣接する層は互に異なる材料で形成された3層の積層構造を用いてゲート絶縁膜を形成し、その上

に半導体層を形成する。

## 〔作用〕

半導体層のエッティング処理工程において、半導体層がエッティングされると次に3層からなるゲート絶縁層の半導体層に最も近い第3層目が最初にエッティングされるが、異なる材料の第2層によってオーバエッティングが防止され、第2層と第1層によって絶縁が保たれる。また第3層目がエッティングされることで半導体層のエッティング終点検出が可能となる。

## 〔実施例〕

次に、本発明による薄膜トランジスタの実施例を図面を参照して説明する。

第1図にアクティブマトリックス素子に利用した本発明の実施例による薄膜トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、バターニングされ、その上にさらに基板10に近い側から順に第1ゲ

ート絶縁膜30、第2ゲート絶縁膜40及び第3ゲート絶縁膜50が3層積層形成されている。ゲート電極20に対向するように第3ゲート絶縁膜50上にチャネルを構成するアモルファスシリコン半導体層(a-Si)60が形成される。その上に、コンタクトを形成するための低抵抗率半導体Si(N+型アモルファスシリコン)層70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより薄膜トランジスタの一電子が構成されている。さらに、ドレイン電極100の一部と接触し、第3ゲート絶縁膜50上に画素となる透明電極110が形成される。

ここで、第2ゲート絶縁膜40は、第3ゲート絶縁膜50に比べて耐エッチング性に優れた材料を使用することが好ましい。例えば、第2ゲート絶縁膜40は、スパッタ法またはプラズマCVD法により酸化シリコン(SiO<sub>x</sub>)膜または酸化タンタル(TaO<sub>x</sub>)膜で形成する。第1ゲート絶縁膜30は、絶縁耐性の優れている窒化シリコン

(SiNx)膜をプラズマCVD法で形成する。また、第1ゲート絶縁膜30に、酸化シリコンや酸化タンタルも使用可能である。この際、第1ゲート絶縁膜30と第2ゲート絶縁膜40とは、膜のピンホール等の欠陥防止のため互いに異なる成膜法で形成することが絶縁効果の点で好ましい。

第3ゲート絶縁膜50は、プラズマCVD法により窒化シリコン膜で形成される。

第1ゲート絶縁膜30は、高誘電率絶縁膜としての特性を有し、第2ゲート絶縁膜40は、第1ゲート絶縁膜30のピンホール等の欠陥防止および半導体層60、70、80のエッチングの際のオーバエッチングを防止するストップの役目をし、第3ゲート絶縁膜50は、半導体層60、70、80のエッチングの際の終点検出および半導体層60の界面単位を安定化させる役目をそれぞれ有する。

ここで、本発明の実施例によって実際に製造した薄膜トランジスタの例を説明する。膜厚300nmに成膜され、パターニングされたゲート電

極20上に、1000~4000nmの膜厚の窒化シリコン膜で第1ゲート絶縁膜30を形成し、500~2000nmの膜厚の酸化シリコン膜で第2ゲート絶縁膜40を形成し、さらに500~2000nmの膜厚の窒化シリコン膜で第3ゲート絶縁膜50をそれぞれ積層形成する。さらに、第3ゲート絶縁膜50を堆積後同一真空内でチャネル半導体層60、コンタクト半導体層70、80を連続堆積する。その後、CF<sub>4</sub>及びO<sub>2</sub>ガスを用いてドライエッチングで半導体層60、70、80をパターニングする。ここで、エッチングが半導体層から窒化シリコンの第3ゲート絶縁膜50に移行した際に窒素のプラズマ発光ピークを検出することによりエッチング終点を検出した。これにより、ソース・ゲート短絡もなく絶縁性にすぐれ、特性も安定な薄膜トランジスタが再現性よく製造できた。

以上、実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組合せ等が可能なことは

当業者に自明であろう。

#### 【発明の効果】

本発明によれば、ゲート絶縁層に3層積層構造を用いたことによって、半導体層のエッチング工程における絶縁層のオーバエッチングを防止できる。

ゲート絶縁層の第3層目に窒化シリコン膜を用いているため、エッチングが半導体層から第3ゲート絶縁層に移行した際に窒素のプラズマ発光ピークを検出することで容易にエッチング終点が検出可能である。

第2ゲート絶縁層に第3ゲート絶縁層よりも耐エッチング性に優れた材料を使用することにより、エッチングストップの役目を果たし、絶縁層のオーバエッチング防止が可能となる。

第3ゲート絶縁層にプラズマCVD法による窒化シリコン膜を用いているため、真空を破らず、半導体シリコン層の連続成膜が行えるので、ゲート絶縁層と半導体層との間に不純物が混入せず、

特開平4-56168 (4)

界面単位の安定なものを形成できる。

4. 図面の簡単な説明

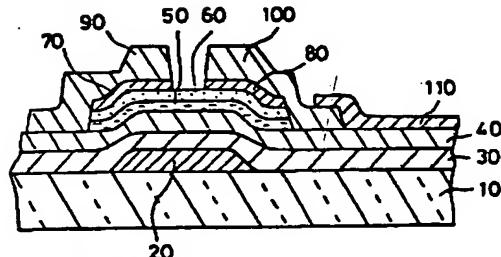
第1図は本発明の実施例による薄膜トランジスタの断面構造図、

第2図は従来の技術による薄膜トランジスタの断面構造図である。

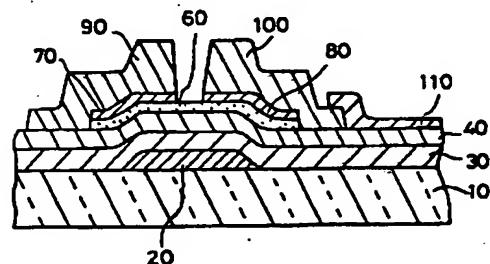
図において、

10	ガラス基板
20	ゲート電極
30	第1ゲート絶縁層
40	第2ゲート絶縁層
50	第3ゲート絶縁層
60, 70, 80	半導体層
90	ソース電極
100	ドレイン電極
110	透明電極層

特許出願人 スタンレー電気株式会社  
代理人 弁理士 高橋 敏四郎



本発明の実施例による薄膜トランジスタ  
第1図



従来の技術による薄膜トランジスタ  
第2図

手続補正書(自発)

平成 2年 7月27日

特許庁長官 臨

1. 事件の表示 平成 2年特許第163744号
2. 発明の名称 薄膜トランジスタおよびその製造方法
3. 補正をする者  
事件との関係 特許出願人  
住所 東京都目黒区中目黒2丁目9番13号  
名称 (230) スタンレー電気株式会社
4. 代理人 住所 〒103 東京都中央区日本橋小伝馬町1-3  
日本橋ニシキビル702 宮内602-0064  
氏名 (9134) 弁理士 高橋 敏四郎
5. 補正の対象 明細書の発明の詳細な説明の範
6. 補正の内容 別紙の通り

- (1). 明細書第 8頁第19~20行  
「3000nm」を「300nm」と補正する。
- (2). 明細書第 9頁第1行  
「1000~4000nm」を「100~400nm」と補正する。
- (3). 明細書第 9頁第3行  
「500~2000nm」を「50~200nm」と補正する。
- (4). 明細書第 9頁第4~5行  
「500~2000nm」を「50~200nm」と補正する。



方 式 审 查

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**